

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016236

(43)Date of publication of application : 18.01.2002

(51)Int.CI.

H01L 27/108  
H01L 21/8242

(21)Application number : 2000-197799

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.2000

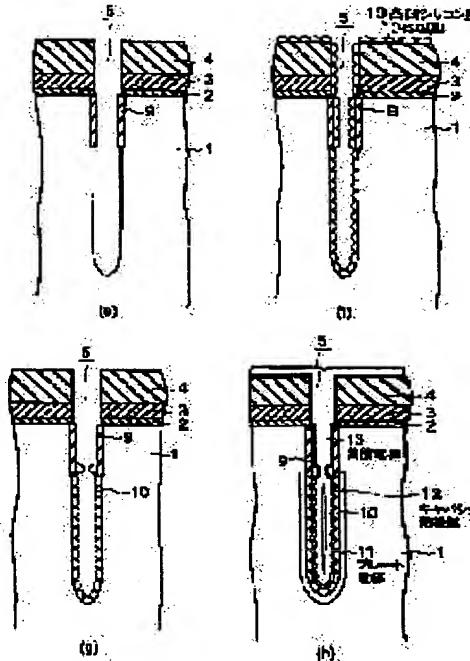
(72)Inventor : SAIDA SHIGEHICO  
FURUHATA TAKEO

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To increase process margin, while reducing manufacturing cost in the formation of a trench capacitor which is increased in a capacitor area, by forming a silicon film having an uneven surface on an inner wall in the lower part of the trench.

**SOLUTION:** A collar oxide film 9 is formed on the surface of a side wall in an upper part of the trench 5. Then, a silicon film (HSG film) 10, having an uneven surface, is formed non-selectively over the whole surface of the inner wall of the trench 5, including the collar oxide film 9. Next, the HSG film 10 in an upper part of the sidewall of the trench 5 is removed to selectively leave the HSG film 10, in the lower part of the inner wall of the trench 5.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16236

(P2002-16236A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl.<sup>7</sup>

H 01 L 27/108  
21/8242

識別記号

F I

H 01 L 27/10

テマコト(参考)

6 2 5 A 5 F 0 8 3

審査請求 未請求 請求項の数10 OL (全 10 頁)

(21) 出願番号 特願2000-197799(P2000-197799)

(22) 出願日 平成12年6月30日 (2000.6.30)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 齋田 繁彦

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 古畑 武夫

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

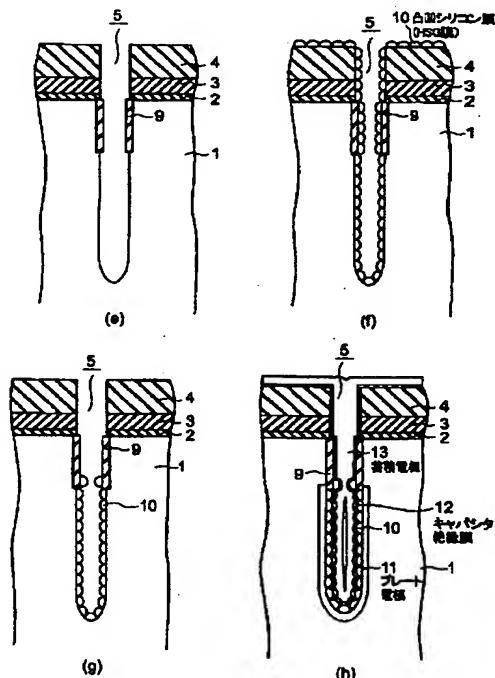
F ターム(参考) 5F083 AD17 AD62 PR21 PR33

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 トレンチ5の下部内壁上に表面が凹凸状のシリコン膜を形成し、キャパシタ面積の増大を図ったトレンチキャパシタの形成方法において、プロセスマージンの増大および製造コストの削減を図ること。

【解決手段】 トレンチ5の上部側壁の表面にカラーハウ化膜9を形成する。次にカラーハウ化膜9を含むトレンチ5の内壁全体に表面が凹凸状のシリコン膜(HSG膜)10を非選択的に形成する。次にトレンチ5の上部側壁上にHSG膜10を除去し、トレンチ5の下部内壁上にHSG膜10を選択的に残置する。



1

## 【特許請求の範囲】

【請求項1】半導体基板にトレンチキャバシタを形成する工程を有する半導体装置の製造方法において、前記半導体基板の表面にトレンチを形成する工程と、前記トレンチの内壁全体に、前記トレンチキャバシタのプレート電極の一部となる、表面が凹凸状のシリコン膜を非選択的に形成する工程と、前記シリコン膜のうち前記トレンチの上部側壁に存在する前記プレート電極として不要な部分を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】半導体基板にトレンチキャバシタを形成する工程を有する半導体装置の製造方法において、前記半導体基板の表面にトレンチを形成する工程と、前記トレンチの上部側壁の表面に絶縁膜を形成する工程と、前記絶縁膜を含む前記トレンチの内壁全体に表面が凹凸状のシリコン膜を非選択的に形成する工程と、前記トレンチの上部側壁に存在する前記絶縁膜の表面の少なくとも一部を露出させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】半導体基板にトレンチキャバシタを形成する工程を有する半導体装置の製造方法において、前記半導体基板の表面にトレンチを形成する工程と、前記トレンチの内壁全体に表面が凹凸状のシリコン膜を非選択的に形成する工程と、前記シリコン膜のうち前記トレンチの上部側壁上のものを選択的に除去する工程と、前記シリコン膜を除去した部分の前記上部側壁の表面に絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】半導体基板にトレンチキャバシタを形成する工程を有する半導体装置の製造方法において、前記半導体基板の表面にトレンチを形成する工程と、前記トレンチの内壁全体に表面が凹凸状の第1のシリコン膜を非選択的に形成する工程と、前記トレンチを埋め込まないように、前記第1のシリコン膜を第1の絶縁膜で覆う工程と、前記第1の絶縁膜のうち前記トレンチの上部側壁上のものを選択的に除去する工程と、前記第1の絶縁膜を含む前記トレンチの内壁全体に第2のシリコン膜を形成する工程と、前記第1の絶縁膜および前記第2のシリコン膜のうち前記トレンチの上部側壁上のものを選択的に除去する工程と、前記第1および第2のシリコン膜を除去した部分の前記上部側壁の表面に第2の絶縁膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】原料としてSiH<sub>4</sub>を用いたLPCVD法により、前記表面が凹凸状のシリコン膜を形成することを特徴とする請求項1ないし請求項4のいずれか1項に

10

20

30

40

50

2

## 記載の半導体装置の製造方法。

【請求項6】半導体基板にトレンチキャバシタを形成する工程を有する半導体装置の製造方法において、前記半導体基板の表面にトレンチを形成する工程と、前記トレンチをその途中の深さまで有機物で埋め込む工程と、

酸素による酸化よりも酸素によるエッチングが優性となる、酸素を含む雰囲気中で熱処理を行うことによって、前記トレンチの内壁のうち前記有機物が埋め込まれているところの表面形状を凹凸にする工程と、

前記有機物および前記熱処理で生じた生成物を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】前記有機物は、酸素を含まない有機物であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】前記酸素を含まない有機物は、ポリアリーレンまたはペンタデカンであることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】前記雰囲気中の酸素の分圧を101.325×1

0~23Pa以下、またはH<sub>2</sub> / H<sub>2</sub>Oの分圧比を1×10以上に設定することにより、酸素による酸化よりも酸素によるエッチングが優性となるようにすることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項10】前記熱処理の温度は、1000°C以上であることを特徴とする請求項6に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、トレンチキャバシタの形成工程を含む半導体装置の製造方法に関する。

## 【0002】

【従来の技術】従来より、情報処理装置の記憶装置として、磁気ディスク装置が広く用いられている。しかし、磁気ディスク装置は、高度に精密な機械的駆動機構を有するので衝撃に弱く、また、機械的に記憶媒体にアクセスするので高速なアクセスができない等の欠点がある。

【0003】そこで、近年、情報処理装置の記憶装置として、半導体記憶装置の開発が進められている。半導体記憶装置は、機械的駆動部分を有しないので衝撃に強く、高速なアクセスが可能である。

【0004】ところで、半導体技術の進歩、特に微細加工技術の進歩により、メモリセルの微細化、つまり、半導体記憶装置の高集積化が急速に進められ、これにより特にメモリセルの記憶保持特性に関する問題が顕在化している。

【0005】たとえばメモリセルがMOS型トランジスタとキャバシタの直列接続で構成されているDRAMにあっては、高集積化に伴うキャバシタ面積の減少によって、キャバシタ容量が減少する方向にある。この結果、メモリ内容が誤って読み出されたり、あるいはα線によ

り記憶内容が破壊されるソフトエラーが問題となっている。上記問題を解決するためには、メモリセルの微細化を行ってもキャパシタ容量を減少させないことが重要である。

【0006】そこで、DRAMでは、高集積化・微細化によって情報記憶機能が損なわれないように、十分なキャパシタ容量を確保するための様々な工夫が従来よりなされている。代表的には、トレンチキャパシタの採用やキャパシタ絶縁膜の薄膜化などがあげられる。

【0007】しかし、近年の素子の超微細化に伴いトレンチを深く掘ることや、キャパシタ絶縁膜の薄膜化が難しくなりつつあり、キャパシタに蓄えられる容量を確保することが困難になっている。

【0008】このような問題を解決するために、トレンチ内壁に凹凸を形成してキャパシタ面積を大きくしたトレンチキャパシタが提案された。このような構成であれば、深いトレンチを形成する必要が無くなり、必要なキャパシタ容量を容易に確保できるようになる。

【0009】ここで、トレンチ上部はMOSトランジスタと電気的な接続を取るところなので、トレンチ上部に大きな凹凸が形成されると、トレンチキャパシタをMOSトランジスタと電気的に接続することが困難になる。

【0010】そこで、従来技術では、トレンチ上部を酸化膜で覆い、この酸化膜で覆われていないトレンチ内壁上すなわちシリコンが露出したトレンチ内壁上に凹凸の大きなシリコン(HSG: Hemispherical Grain)膜を選択的に堆積するというプロセス(選択HSG法)を取っていた。

【0011】しかしながら、この種の従来技術には以下のような問題があった。すなわち、上記の如きの凹凸の大きなシリコン膜を選択的に形成することができる成膜条件の範囲は非常に狭いために、プロセスマージンが非常に小さくなり、その結果として信頼性が低下したり、歩留まりが悪くなるという問題があった。さらに、凹凸の大きなシリコン膜の選択成膜は安価に行うことができず、製造コストの点でも問題があった。

【0012】

【発明が解決しようとする課題】上述の如く、素子の微細化が進んでも、必要なキャパシタ容量を容易に確保できるトレンチキャパシタとして、トレンチの内壁のうち上部側壁を除いた部分に凹凸を形成したものが知られていた。

【0013】従来、この種のトレンチキャパシタを形成するために、凹凸の大きなシリコン膜を選択的に形成することが行われていた。しかし、この従来の方法はプロセスマージンが非常に狭く、その結果として信頼性が低下したり、歩留まりが悪くなるという問題があった。さらに、凹凸の大きなシリコン膜の選択成膜は安価に行うことができず、製造コストの点でも問題があった。

【0014】本発明の目的は、以上述べたようなプロセスマージンや製造コストの問題を解決できる半導体装置の製造方法を提供することにある。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。すなわち、上記目的を達成するためには、本発明に係る半導体装置の製造方法は、半導体基板の表面にトレンチキャパシタのためのトレンチを形成し、トレンチの内壁全体に、トレンチキャパシタのプレート電極の一部となる、表面が凹凸状のシリコン膜を非選択的に形成し、上記シリコン膜のうちトレンチの上部側壁に存在する上記プレート電極として不要な部分を除去するというものである。

【0016】このような構成であれば、シリコン膜を非選択的に形成しているので、シリコン膜のプロセスマージンを広くできる。さらに、シリコン膜を非選択的に形成することは、既存の装置を用いて容易に行えるので、製造コストの点でも問題はない。

【0017】本発明に係る他の半導体装置の製造方法は、半導体基板にトレンチキャパシタを形成する工程を有する半導体装置の製造方法において、前記半導体基板の表面にトレンチを形成する工程と、前記トレンチをその途中の深さまで有機物で埋め込む工程と、酸素による酸化よりも酸素によるエッチングが優性となる、酸素を含む雰囲気中で熱処理を行うことによって、前記トレンチの内壁のうち前記有機物が埋め込まれているところの表面形状を凹凸にする工程と、前記有機物および前記熱処理で生じた生成物を除去する工程とを含むことを特徴とする。

【0018】このような構成であれば、シリコン膜を選択的に形成しないので、シリコン膜のプロセスマージンを広くできる。さらに、シリコン膜を非選択的に形成することと、有機物を塗布することは、既存の装置を用いて容易に行えるので、製造コストの点でも問題はない。

【0019】本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0020】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態(以下、実施形態といふ。)を説明する。

【0021】(第1の実施形態)図1および図2は、本発明の第1の実施形態に係るトレンチキャパシタの形成方法を示す工程断面図である。本実施形態のトレンチキャパシタは特にDRAMメモリセルに用いられるものであって、トレンチキャパシタの蓄積電極とMOSトランジスタのソース/ドレインとの接続構造として、埋込みストラップ(Buried Strap)構造を用い場合のものである。

【0022】まず、図1(a)に示すように、p型のシ

リコン基板1上に、通常知られている方法で、シリコン酸化膜2、シリコン窒化膜3およびシリコン酸化膜4からなるハードマスクを形成する。

【0023】次に、図1(b)に示すように、上記ハードマスクをマスクにして、シリコン基板1を例えばRIE法でエッティングしてトレンチ5を形成した後、CVD法により厚さ5nmのシリコン酸化膜6を全面に堆積し、続いてCVD法により厚さ10nmのシリコン窒化膜7を全面に堆積する。

【0024】次に、図1(c)に示すように、トレンチ5内をその途中の深さまでフォトレジスト8で埋め込む。このようなフォトレジスト8は、以下のようにして形成する。すなわち、ポジ型のフォトレジストを全面に塗布し、トレンチ5の中央部よりも上の部分のフォトレジストだけを全面露光し、フォトレジストを現像して、その上部だけを除去することによって形成することができる。

【0025】次に、図1(d)に示すように、フォトレジスト8で覆われていないトレンチ5の上部側壁のシリコン窒化膜7およびシリコン酸化膜6を順次除去し、トレンチ5の上部側壁を露出させた後、この露出した上部側壁の表面に厚さ40nmのカラー酸化膜9を形成する。

【0026】ここで、シリコン窒化膜7は例えば熱磷酸を用いたウエットエッティングにより除去し、シリコン酸化膜6は例えば弗酸を用いたウエットエッティングにより除去する。

【0027】次に、図2(e)に示すように、トレンチ5内に残っているフォトレジスト8を例えばアッシングにより除去した後、トレンチ5内に残っているシリコン窒化膜7およびシリコン酸化膜6を除去する。

【0028】次に、図2(f)に示すように、大きな凹凸を持ったシリコン膜(以下、HSG膜という)10をLPCVD法により非選択的に形成する。この結果、トレンチ5の内壁、カラー酸化膜9およびハードマスク2~4の表面はHSG膜10で覆われることになる。

【0029】HSG膜10を非選択的に形成するための成膜条件は、例えば、原料ガスがSiH<sub>4</sub>ガス、その流量が250sccm、圧力が0.15Torr、成膜温度が575°C、成膜時間が4分間である。成膜条件は上記のものに限定されるものではない。すなわち、HSG膜10を非選択的に形成するための成膜条件は、選択的に形成するための成膜条件に比べてプロセスマージンが広く、プロセス全体を考慮して最適な条件を適宜選択することが可能となる。

【0030】次に、図1(c)の工程と同様に、トレンチ5内をその途中の深さまでフォトレジスト(不図示)で埋め込んだ後、このフォトレジストをマスクにして、図2(g)に示すように、トレンチ5の上部およびそれよりも上の位置にあるHSG膜10を等方性エッティング

であるダウンフローエッティングにより除去する。この後、上記図示しないレジストを例えればアッシングにより除去する。

【0031】なお、図には、カラー酸化膜9上にHSG膜10が残っている様子が示されているが、埋込みストラップ構造を形成するところにHSG膜10が残っていては問題はない。もちろん、カラー酸化膜9上のHSG膜10を全て除去するプロセスを採用しても良い。

【0032】次に、図2(h)に示すように、AsH<sub>3</sub>を含む雰囲気中で、950°C、300Torr、1時間の条件で熱処理を行い、プレート電極としての高不純物濃度のn型拡散層11を形成し、次にキャパシタ絶縁膜としての厚さ5nmのシリコン窒化膜12を全面に形成し、次にシリコン窒化膜12の上部を酸化し、そしてトレンチ5内を埋め込むように蓄積電極としてのAs添加シリコン膜13を形成する。なお、図には、シームが生じたAs添加シリコン膜13を示してある。As添加シリコン膜13は、AsH<sub>3</sub>、SiH<sub>4</sub>を同時に供給し、CVD法により形成することが好ましい。これにより、As濃度の高いAs添加シリコン膜13を形成することができる。以下、通常のDRAMプロセスを経て、DRAMが完成する。

【0033】以上述べたように本発明のプロセスを用いることで、キャパシタの面積を効果的に増加することができ、なお、かつ選択HSG法を用いないので、選択性の崩れによる、不良の発生を抑えることができ、従来技術の問題であった信頼性および歩留まりの低下を防止できるようになる。

【0034】また、本プロセスでは、既存のシリコン膜の成膜装置を用いることができる、従来プロセスとの整合性が高く、その結果として従来技術の問題であった製造コストの増加を防止できるようになる。

【0035】図3は、本発明の方法を用いて形成したトレンチキャパシタのトレンチ側壁を示す顕微鏡写真である。図から、凹凸の大きなシリコン膜が形成されていることが分かる。

【0036】図4は、本発明および従来の方法を用いて形成したトレンチキャパシタの容量-電圧特性(CV特性)を示す図である。図から、本発明によれば、従来よりも電気容量が大きいトレンチキャパシタを形成できることが分かる。

【0037】図5は、本発明および従来の方法を用いて形成したトレンチキャパシタのリーク電流-容量特性を示す図である。図から、同じリーク電流で比較すると、本発明によれば、従来よりもキャパシタ容量が40%程度を高いトレンチキャパシタを形成できることが分かる。

【0038】なお、トレンチキャパシタの容量をさらに増加させるためには、図6に示すように、カラー酸化膜

9の形成後にトレンチ5の下部側壁をエッティングしてトレンチ径を大きくすると良い。

【0039】(第2の実施形態)図7は、本発明の第2の実施形態に係るトレンチキャパシタの形成方法を示す工程断面図である。なお、図1および図2と対応する部分には図1および図2と同一符号を付してあり、詳細な説明は省略する。本実施形態はHSG膜を用いない例である。

【0040】まず、図6(a)に示すように、通常の方法で第1の実施形態と同様に、シリコン基板1の表面にトレンチ5を形成する。

【0041】次に図6(b)に示すように、酸素を含まない有機物であるポリアリーレン14でトレンチ5をその途中の深さまで埋め込む。このような埋め込み形状のポリアリーレン14は、例えば、ポリアリーレンを全面に塗布し、トレンチ5の上部およびハードマスク2~4上のポリアリーレンを例えばプラズマを用いたアッシャにより除去することで得られる。

【0042】次に図6(c)に示すように、例えば酸素の分圧が $101.325 \times 10^{-23}$ Pa以下( $=1 \times 10^{-26}$ atm以下)または $H_2/H_2O$ の分圧比が $1 \times 10^{11}$ 以上の微量の酸素を含むアルゴン等の不活性雰囲気中で、1050℃、1時間の熱処理(アニール)を行うことにより、トレンチ5の内壁のうちポリアリーレン14が埋め込まれているところの表面を凹凸状にエッティングし、その後ポリアリーレン14および上記エッティングで生じた生成物である炭化珪素を除去する。以下、通常のカラー酸化膜後作りのプロセスを経て、DRAMが完成する。

【0043】本実施形態によれば、第1の実施形態と異なり、シリコン基板1をエッティングすることで凹凸を形成しているために、トレンチ面積の増加率を大きくすることができる。さらに、埋込みストラップ構造を形成するために一般的に行われている、カラー酸化膜後作りプロセスを用いることができる。さらにまた、既存の有機物塗布装置および熱処理(アニール)装置を用いることができるので、従来プロセスとの整合性が高く、その結果として従来技術の問題であった製造コストの増加を防止できるようになる。

【0044】上述したプロセスによりトレンチ5の内壁に凹凸を形成できる理由は明らかではないが、本発明者等は次のように考えている。高温の熱処理を行うと、トレンチ5の内壁であるシリコン基板1とポリアリーレン14とが反応し、SiCが形成される。SiCはトレンチ5の内壁の全面に膜状に形成されず、局所的に島状に形成される。したがって、トレンチ5の内壁は、SiCで覆われてシリコンが露出しない領域と、SiCで覆われずシリコンが露出した領域に分かれれる。

【0045】上記熱処理を行う雰囲気中には微量ながら酸素が存在する。そのため、SiCで覆われていないト

レンチ5の内壁のSiはSiOとなって選択的にエッティングされる。このエッティングされたところは凹部となり、その結果、トレンチ5の内壁に凹凸が形成されると考えられる。

【0046】なお、トレンチ5の内部を埋め込む有機物は必ずしもポリアリーレンである必要はなく、他の酸素を含まない有機物であれば良く、好ましくは例えばペントデカン、流動パラフィンなどの酸素を含まない炭化水素であると良い。

【0047】また、SiCを局所的に形成する以外に、酸素によるエッティングに対してマスクとなる他の物質を局所的に形成しても同様の効果が得られる。

【0048】例えば、窒素雰囲気中で700℃、30分の熱処理(窒化処理)を行うことにより、マスクとなる窒化物を局所的に形成することができる。

【0049】他の方法としては、SiH<sub>2</sub>Cl<sub>2</sub>およびNH<sub>3</sub>を原料ガスとして局所的に窒化膜を形成した後、1050℃、1時間の熱処理を行う方法があげられる。この場合、最初にNH<sub>3</sub>によってシリコン基板が局所的に熱窒化され、その後熱窒化による窒化膜を核にSiH<sub>2</sub>Cl<sub>2</sub>とNH<sub>3</sub>による気相成長が起こり、核の周りに比較的厚い(数nm程度)窒化膜が形成される。この方法の方が先に説明した窒化による方法よりも厚い窒化膜、すなわちマスク効果の高い窒化膜を容易に形成することができる。

【0050】(第3の実施形態)図8および図9は、本発明の第3の実施形態に係るトレンチキャパシタの形成方法を示す工程断面図である。

【0051】第1の実施形態はHSG膜の形成前にカラー酸化膜を形成する例であるが、本実施形態はHSG膜の形成後にカラー酸化膜を形成する例である。

【0052】言い換れば、第1の実施形態はプレート電極を形成する前にカラー酸化膜を形成するトレンチキャパシタプロセスに本発明を適用した例であるが、本実施形態はプレート電極を形成した後にカラー酸化膜を形成するトレンチキャパシタプロセスに本発明を適用した例である。

【0053】まず、図8(a)に示すように、通常の方法で第1の実施形態と同様にトレンチ5を形成する。

【0054】次に、図8(b)に示すように、第1の実施形態と同様の方法でHSG膜10を非選択的に形成する。

【0055】次に、図8(c)に示すように、厚さ30nmのAsSG膜15、厚さ20nmのTEOS膜16をHSG膜10上に順次堆積した後、トレンチ5内をその途中の深さまでレジスト8で埋め込む。AsSG膜15には、Asの拡散源としての目的と、後の工程でHSG膜10の形状が劣化すること(表面の平坦化)を防止する保護膜としての目的がある。

【0056】次に、図8(d)に示すように、フォトレ

ジスト8で覆われていないトレンチ5の上部のAs SG膜15およびTEOS膜16を除去した後、フォトレジスト8を除去する。

【0057】次に、図9(e)に示すように、厚さ20nm程度のアモルファスのシリコン膜17を全面に堆積し、下地であるHSG膜10およびTEOS膜16の凹凸を埋める。これにより、トレンチ5の内壁の平坦性を改善できる。この後、水素雰囲気中の高温熱処理を追加すれば、さらに平坦性を改善することができる。

【0058】次に、図9(f)に示すように、1050°C、30分の熱処理(アニール)を行い、As SG膜15中のAsをシリコン基板1内に固相拡散させ、n型拡散層(プレート電極)11を形成し、その後As SG膜15およびTEOS膜16をマスクにしてトレンチ5の上部側壁およびハードマスク2~4上のシリコン膜17を、等方性エッチングであるダウンフローエッチングにより除去する。

【0059】ここで、上記熱処理(アニール)によってシリコン膜17は、アモルファスから多結晶へと結晶状態が変わる。そのため、上記ダウンフローエッチング時には多結晶のシリコン膜17が除去されることになる。また、上記ダウンフローエッチングの条件は、多結晶のシリコン膜17の表面が平滑にエッチングされる条件が好ましい。これにより、多結晶のシリコン膜17を容易にむらなく除去することが可能となる。なお、ここではシリコン膜17の除去をダウンフローエッチングで行ったが、他の方法でも行っても良い。

【0060】次に、図9(g)に示すように、トレンチ5の下部のAs SG膜15およびTEOS膜16を除去する。この後、第1の実施形態と同様に、シリコン窒化膜(キャバシタ絶縁膜)12、As添加シリコン膜(蓄積電極)13を形成し、図9(h)に示すトレンチキャバシタが得られる。以下、通常のDRAMプロセスを経て、DRAMが完成する。

【0061】なお、本発明は、上記各実施形態に限定されるものではなく、例えば微細化による寄生抵抗、寄生容量を軽減するために、シリコン基板の代わりに、SOI基板を用いても良く、さらにSiGe等の半導体基板を用いても良い。

【0062】また、本発明は、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、明細書全体に記載されたいずれかの課題(問題)を解決できる場合には、この構成要件が削除された構成

が発明として抽出され得る。

【0063】

【発明の効果】以上詳説したように本発明によれば、従来選択的に形成していたシリコン膜を非選択的に形成することによって、微細化が進んでも必要なキャバシタ容量を容易に確保できる構造のキャバシタをプロセスマージンの低下や製造コストの増加を招かずに形成することができるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るトレンチキャバシタの形成方法を示す工程断面図

【図2】図1に続く同トレンチキャバシタの形成方法を示す工程断面図

【図3】本発明の方法を用いて形成したトレンチキャバシタのトレンチ側壁を示す顕微鏡写真

【図4】本発明および従来の方法を用いて形成したトレンチキャバシタの容量-電圧特性を示す図

【図5】本発明および従来の方法を用いて形成したトレンチキャバシタのリーク電流-容量特性を示す図

【図6】第1の実施形態のトレンチキャバシタの変形例を説明するための断面図

【図7】本発明の第2の実施形態に係るトレンチキャバシタの形成方法を示す工程断面図

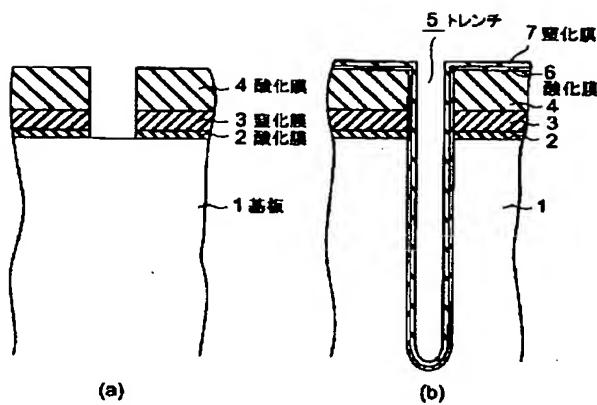
【図8】本発明の第3の実施形態に係るトレンチキャバシタの形成方法を示す工程断面図

【図9】図8に続く同トレンチキャバシタの形成方法を示す工程断面図

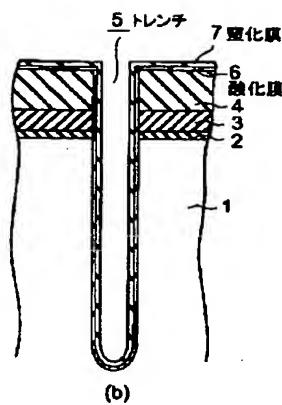
【符号の説明】

- 1…シリコン基板
- 2…シリコン酸化膜
- 3…シリコン窒化膜
- 4…シリコン酸化膜
- 5…トレンチ
- 6…シリコン酸化膜
- 7…シリコン窒化膜
- 8…レジスト
- 9…カラー酸化膜(第2の絶縁膜)
- 10…表面が凹凸状のシリコン膜(第1のシリコン膜)
- 11…n型拡散層(プレート電極)
- 12…シリコン窒化膜(キャバシタ絶縁膜)
- 13…As添加シリコン膜(蓄積電極)
- 14…ポリアリーベン
- 15…As SG膜(第1の絶縁膜)
- 16…TEOS膜(第1の絶縁膜)
- 17…アモルファスまたは多結晶のシリコン膜(第2のシリコン膜)

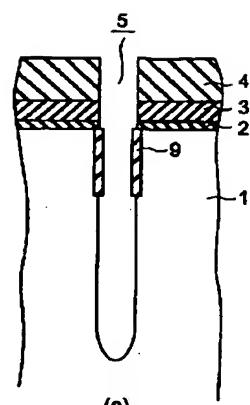
【図1】



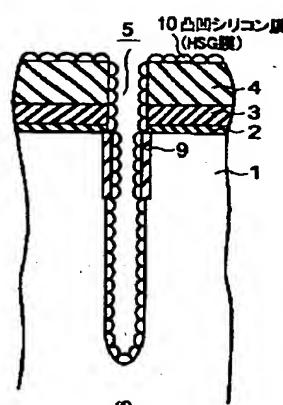
(a)



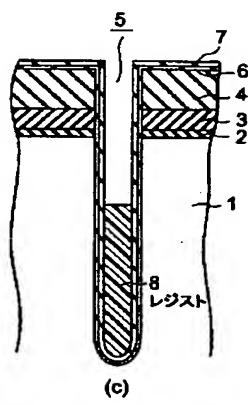
(b)



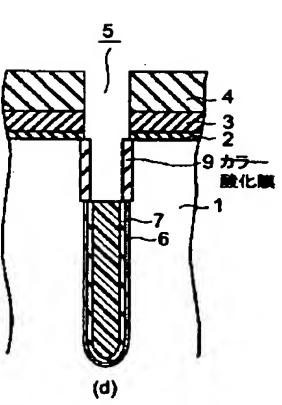
(e)



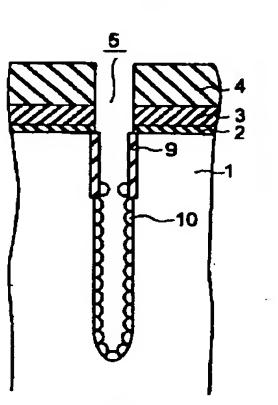
(f)



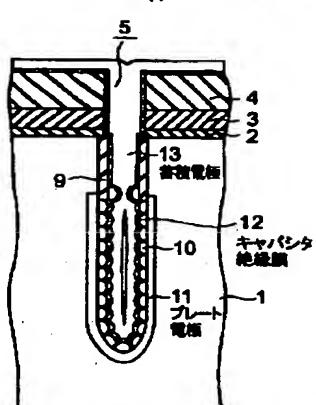
(c)



(d)

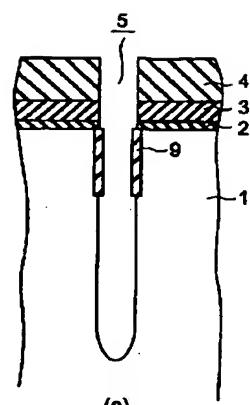


(g)

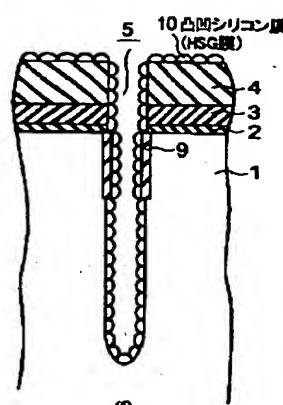


(h)

【図2】

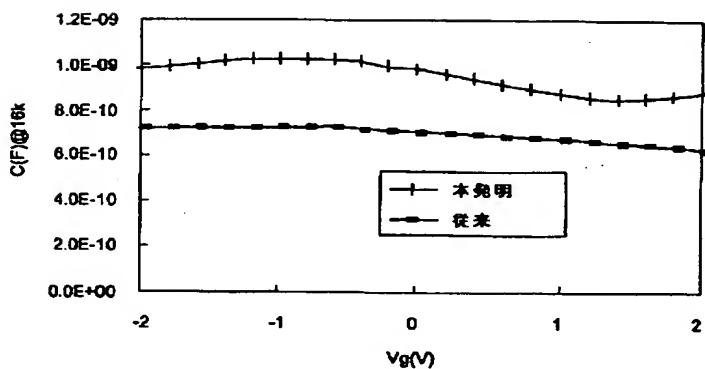


(b)

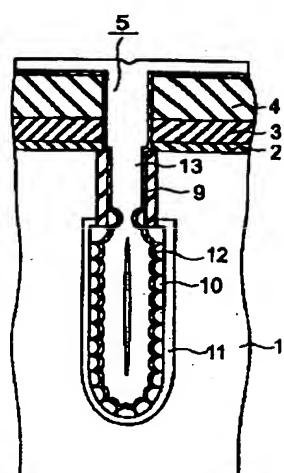


(f)

【図4】



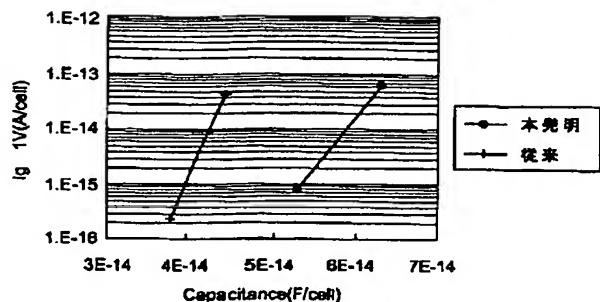
【図6】



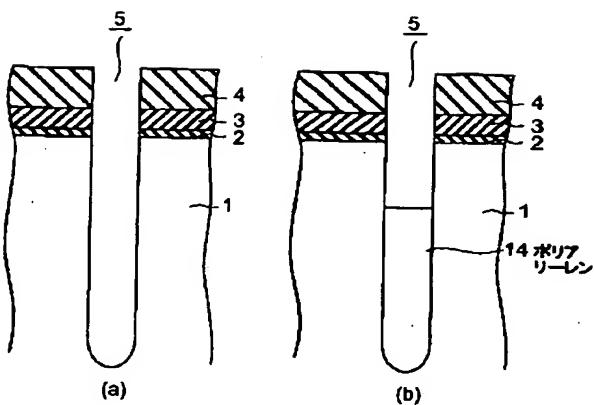
【図3】



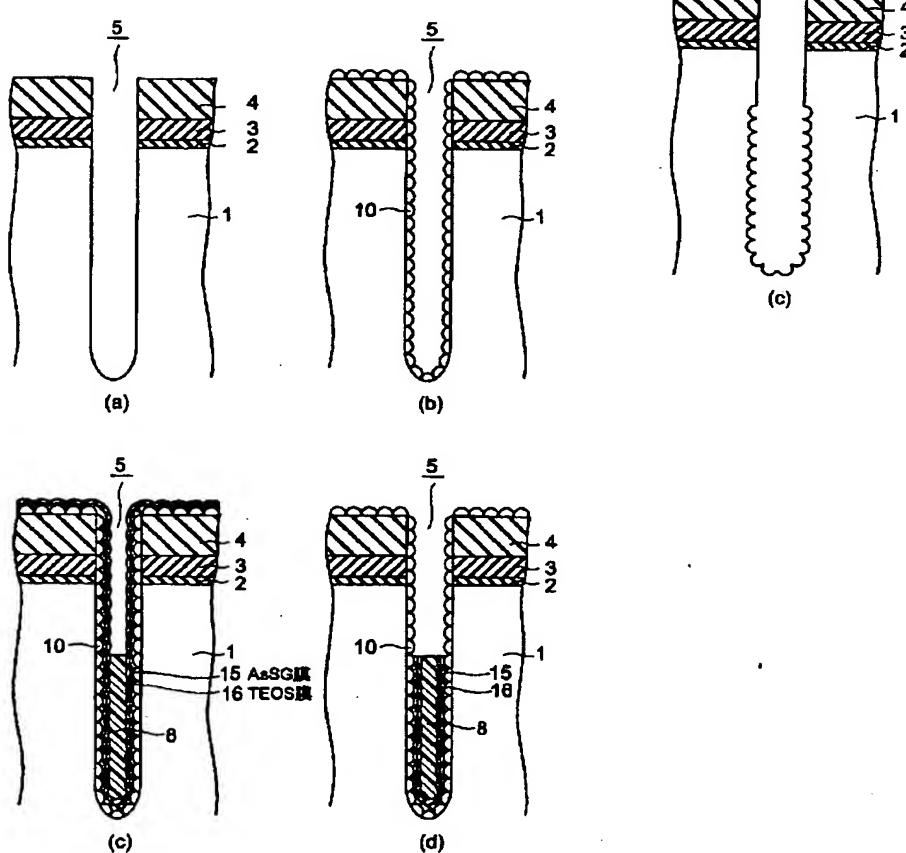
【図5】



【図7】



【図8】



【図9】

